

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04550839 \*\*Image available\*\*

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 06-222739 [JP 6222739 A]

PUBLISHED: August 12, 1994 (19940812)

INVENTOR(s): FUJITA MASAYA

KANEKO YOSHIYA

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 05-011024 [JP 9311024]

FILED: January 26, 1993 (19930126)

INTL CLASS: [5] G09G-003/36; G02F-001/133; G02F-001/133; G09G-003/20

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS --  
Optical Equipment)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1826, Vol. 18, No. 600, Pg. 100,  
November 15, 1994 (19941115)

#### ABSTRACT

PURPOSE: To enable displaying a picture of high quality by supplying gradation voltage having less errors to a pixel electrode of an active matrix type liquid crystal display panel.

CONSTITUTION: Two signal lines 31, 31 are provided at an output side of an amplifier circuit 8 which amplifies an analog video signal VG supplied from a video signal source 33, an analog video signal VGA outputted from the amplifier circuit 8 is supplied to sample-hold circuit 12(sub 1), 12(sub 3) via the signal line 31, and an analog video signal VGA outputted from the amplifier circuit 8 is supplied to sample-hold circuit 12(sub 2), 12(sub 4) via the signal line 32.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-222739

(43)公開日 平成6年(1994)8月12日

(51)Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 C 3/36		7319-5G		
G 0 2 F 1/133	5 5 0	9226-2K		
	5 7 5	9228-2K		
G 0 9 G 3/20		R 9176-5G		

審査請求 未請求 請求項の数3 OL (全 9 頁)

(21)出願番号 特願平5-11024

(22)出願日 平成5年(1993)1月26日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 藤田 昌也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 金子 淑也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

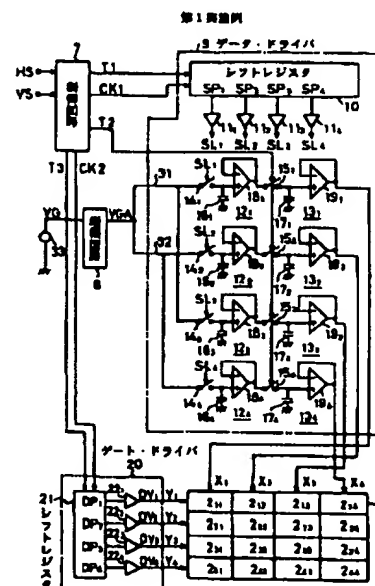
(74)代理人 弁理士 平戸 哲夫

(54)【発明の名称】 液晶表示装置

## (57)【要約】

【目的】 アクティブマトリックス型の液晶表示パネルの画素電極に誤差の少ない階調電圧を供給し、高品質の画像表示を行うことができるようにする。

【構成】 映像信号源33から供給されるアナログ映像信号VGを増幅する増幅回路8の出力側に2本の信号線31、32を設け、サンプル・ホールド回路12<sub>1</sub>、12<sub>3</sub>には、信号線31を介して、増幅回路8から出力されるアナログ映像信号VGAを供給し、サンプル・ホールド回路12<sub>2</sub>、12<sub>4</sub>には、信号線32を介して、増幅回路8から出力されるアナログ映像信号VGAを供給する。



(2)

特開平 6-222739

1

2

## 【特許請求の範囲】

【請求項1】 アナログ映像信号に対して順番にサンプル・ホールド動作を行い、1水平走査期間ごとに1ライン分の階調電圧を得るようにされた複数のサンプル・ホールド回路(28<sub>1</sub>、28<sub>2</sub>・・・28<sub>2n</sub>)を備えて構成される液晶表示装置において、前記複数のサンプル・ホールド回路(28<sub>1</sub>、28<sub>2</sub>・・・28<sub>2n</sub>)のうち、奇数番目にサンプル・ホールド動作を行うサンプル・ホールド回路(28<sub>1</sub>、28<sub>3</sub>・・・28<sub>2n-1</sub>)には第1の信号線(29)を介して前記アナログ映像信号を供給し、偶数番目にサンプル・ホールド動作を行うサンプル・ホールド回路(28<sub>2</sub>、28<sub>4</sub>・・・28<sub>2n</sub>)には第2の信号線(30)を介して前記アナログ映像信号を供給するように構成されていることを特徴とする液晶表示装置。

【請求項2】 映像信号源から供給されるアナログ映像信号を増幅する増幅回路を設け、この増幅回路から出力されるアナログ映像信号を前記第1、第2の信号線(29、30)に供給するように構成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 映像信号源から供給されるアナログ映像信号を増幅する第1、第2の増幅回路を設け、前記第1の増幅回路から出力されるアナログ映像信号を前記第1の信号線(29)に供給し、前記第2の増幅回路から出力されるアナログ映像信号を前記第2の信号線(30)に供給するように構成されていることを特徴とする請求項1記載の液晶表示装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリックス型の液晶表示パネルを備えてなる液晶表示装置に関する。

【0002】 液晶表示装置は、陰極線管(CRT)を備えてなる表示装置を代替する表示装置として開発が進められているが、特に、アクティブマトリックス型の液晶表示パネルを備えてなる液晶表示装置が有望視されている。

【0003】

【従来の技術】 従来、アクティブマトリックス型の液晶表示パネルを備えてなる液晶表示装置として、図6にその要部を示すようなものが知られている。

【0004】 図中、1は画像表示の最小単位である画素の配列を4(横)×4(縦)とするアクティブマトリックス型の液晶表示パネルであり、2<sub>11</sub>～2<sub>44</sub>はそれぞれ画素を示している。

【0005】 図7は、この液晶表示パネル1の構成を概略的に示す図であり、3<sub>11</sub>～3<sub>44</sub>は各画素2<sub>11</sub>～2<sub>44</sub>の液晶容量、4<sub>11</sub>～4<sub>44</sub>は各画素2<sub>11</sub>～2<sub>44</sub>ごとに設けられている画素電極、5は全面素2<sub>11</sub>～2<sub>44</sub>に共通に設けられている共通電極である。

【0006】 また、6<sub>11</sub>～6<sub>44</sub>は各画素電極4<sub>11</sub>～4<sub>44</sub>

に階調電圧を供給する場合にスイッチング素子として機能する薄膜トランジスタ(Thin Film Transister, 以下、TFTという)である。

【0007】 また、X<sub>1</sub>～X<sub>4</sub>は画素電極4<sub>11</sub>～4<sub>44</sub>に階調電圧を供給するためのデータライン(信号線)、Y<sub>1</sub>～Y<sub>4</sub>はTFT6<sub>11</sub>～6<sub>44</sub>のON、OFF動作を制御するためのゲートライン(走査線)である。

【0008】 なお、実製品の液晶表示パネルでは、画素数は、白黒(モノカラー)表示用の場合、例えば、640(横)×480(縦)とされ、カラー表示用の場合には、R(赤)、G(緑)、B(青)用の各画素が必要となるため、例えば、640×3(横)×480(縦)とされる。

【0009】 ここに、横方向の画素の並びを一般にラインと呼び、一画面に対する階調電圧の書き込みはラインごとに順に行われ、この一画面に対する階調電圧の書き込みを1秒間に60回程度の割合で行うことにより、人間の目には「ちらつき」のない画像を見せるようにしている。

【0010】 また、図6において、7は装置全体の制御を行う制御回路、HS、VS、CLKは映像信号源(図示せず)から供給される信号であり、HSは水平同期信号、VSは垂直同期信号、CLKは同期クロック信号である。

【0011】 また、T<sub>1</sub>、T<sub>2</sub>、T<sub>3</sub>は制御回路7から出力される信号であり、T<sub>1</sub>は水平同期信号HSと同一周期のスタート信号、T<sub>2</sub>は水平同期信号HSと同一周期のサンプリング信号、T<sub>3</sub>は垂直同期信号VSと同一周期のスタート信号である。

【0012】 また、CK<sub>1</sub>、CK<sub>2</sub>も制御回路7から出力される信号であり、CK<sub>1</sub>は同期クロック信号CLKと同一周期のクロック信号、CK<sub>2</sub>は水平同期信号HSと同一周期のクロック信号である。

【0013】 また、VGは映像信号源から供給されるアナログ映像信号、8はアナログ映像信号VGを増幅する増幅回路、VGAは増幅回路8から出力されるアナログ映像信号である。

【0014】 また、9は増幅回路8から出力されるアナログ映像信号VGAを所定の間隔でサンプル・ホールドし、1ライン分のホールド電圧を階調電圧として同時に液晶表示パネル1のデータラインX<sub>1</sub>～X<sub>4</sub>に送出する集積回路化されてなるデータ・ドライバである。

【0015】 このデータ・ドライバ9において、10は制御回路7から1ライン毎に出力されるスタート信号T<sub>1</sub>を同じく制御回路7から出力されるクロック信号CK<sub>1</sub>に同期させて1ビットずつシフトし、論理レベル、例えば、5[V]のサンプリング信号SP<sub>1</sub>～SP<sub>4</sub>を順に出力する4ビット構成の直列入力・並列出力型のシフトレジスタである。

【0016】 また、11<sub>1</sub>～11<sub>4</sub>はシフトレジスタ10

(3)

特開平 6-222739

3

から出力される5[V]のサンプリング信号 $SP_1 \sim SP_4$ を高電圧、例えば、12[V]のサンプリング信号 $SL_1 \sim SL_4$ に変換するレベル変換回路である。

【0017】また、12<sub>1</sub>~12<sub>4</sub>、13<sub>1</sub>~13<sub>4</sub>はサンプル・ホールド回路であり、14<sub>1</sub>~14<sub>4</sub>、15<sub>1</sub>~15<sub>4</sub>はサンプリング用のアナログ・スイッチ、16<sub>1</sub>~16<sub>4</sub>、17<sub>1</sub>~17<sub>4</sub>はホールド用のコンデンサ、18<sub>1</sub>~18<sub>4</sub>、19<sub>1</sub>~19<sub>4</sub>はバッファをなすオペアンプである。

【0018】また、20はゲートライン $Y_1 \sim Y_4$ を駆動する集積回路化されてなるゲート・ドライバであり、21は制御回路7から出力されるスタート信号 $T_3$ を同じく制御回路7から出力されるクロック信号 $CK_2$ に同期させて1ビットずつシフトし、論理レベルのゲート・ドライブ信号 $DP_1 \sim DP_4$ を出力する4ビット構成の直列入力・並列出力型のシフトレジスタである。

【0019】また、22<sub>1</sub>~22<sub>4</sub>はシフトレジスタ21から出力される論理レベルのゲート・ドライブ信号 $DP_1 \sim DP_4$ を液晶表示パネル1のTFT61<sub>1</sub>~64<sub>4</sub>をON、OFFできるレベルのゲート・ドライブ信号 $DV_1 \sim DV_4$ に変換するレベル変換回路である。

【0020】この液晶表示装置では、映像信号源から供給されるアナログ映像信号 $VG$ は、増幅回路8によって液晶表示に適した電圧値のアナログ映像信号 $VGA$ に増幅されてデータ・ドライバ9のサンプル・ホールド回路12<sub>1</sub>~12<sub>4</sub>に供給される。

【0021】他方、データ・ドライバ9においては、レベル変換回路11<sub>1</sub>~11<sub>4</sub>からサンプル・ホールド回路12<sub>1</sub>~12<sub>4</sub>のアナログ・スイッチ14<sub>1</sub>~14<sub>4</sub>に対してサンプリング信号 $SL_1 \sim SL_4$ が順に供給される。

【0022】この結果、アナログ・スイッチ14<sub>1</sub>~14<sub>4</sub>は順にON、OFFを繰り返してサンプリング動作を行い、1ライン分のアナログ映像信号がコンデンサ16<sub>1</sub>~16<sub>4</sub>にホールドされ、これらコンデンサ16<sub>1</sub>~16<sub>4</sub>にホールドされた電圧がオペアンプ18<sub>1</sub>~18<sub>4</sub>から出力される。

【0023】すると、制御回路7からサンプル・ホールド回路13<sub>1</sub>~13<sub>4</sub>のアナログ・スイッチ15<sub>1</sub>~15<sub>4</sub>に対してサンプリング信号 $T_2$ が供給され、これらアナログ・スイッチ15<sub>1</sub>~15<sub>4</sub>が同時にONとされる。

【0024】この結果、オペアンプ18<sub>1</sub>~18<sub>4</sub>の出力、即ち、コンデンサ16<sub>1</sub>~16<sub>4</sub>にホールドされた電圧が同時にコンデンサ17<sub>1</sub>~17<sub>4</sub>にホールドされ、これらコンデンサ17<sub>1</sub>~17<sub>4</sub>にホールドされた電圧がオペアンプ19<sub>1</sub>~19<sub>4</sub>から出力され、これらオペアンプ19<sub>1</sub>~19<sub>4</sub>の出力が階調電圧 $VX_1 \sim VX_4$ として液晶表示パネル1のデータライン $X_1 \sim X_4$ に送出される。

【0025】他方において、ゲート・ドライバ20によって、ゲートライン $Y_1 \sim Y_4$ の中の1本のゲートラインがHレベルとされるので、このラインのTFTが全てO

4

Nとされ、このラインの画素電極に階調電圧 $VX_1 \sim VX_4$ が印加される。

【0026】以下、同様の動作がラインごとに順に繰り返されて、液晶表示パネル1において、アナログ映像信号 $VG$ に対応した画像表示が行われる。

【0027】

【発明が解決しようとする課題】ここに、例えば、液晶表示パネル1の画素数を640(横)×480(縦)とすると、サンプル・ホールド回路12<sub>1</sub>~12<sub>4</sub>におけるサンプリング時間は、約40nsec(ナノ秒)に設定しなければならない。

【0028】このためには、アナログ・スイッチ14<sub>1</sub>~14<sub>4</sub>については、これらを構成する各MOSトランジスタの $W$ (チャネル幅)/ $L$ (チャネル長)を大きくし、コンデンサ16<sub>1</sub>~16<sub>4</sub>については、できる限り小さく形成することにより、アナログ・スイッチ14<sub>1</sub>~14<sub>4</sub>のオン抵抗とコンデンサ16<sub>1</sub>~16<sub>4</sub>の容量との積(時定数)を十分に小さくする必要がある。

【0029】しかし、このようにして、サンプル・ホールド回路12<sub>1</sub>~12<sub>4</sub>におけるサンプリングの高速化を図ると、レベル変換回路11<sub>1</sub>~11<sub>4</sub>の動作速度のばらつきのため、アナログ・スイッチ14<sub>1</sub>~14<sub>4</sub>のうち、隣合うアナログ・スイッチが同時にONとなってしまう期間が生じ、コンデンサ16<sub>1</sub>~16<sub>4</sub>に正しい電圧をホールドできない場合があるという問題点があった。

【0030】図8は、レベル変換回路11<sub>2</sub>の動作速度が遅い場合を例にして、かかる問題点を具体的に説明するための波形図、図9は同じく回路図である。

【0031】ここに、図8(A)、(B)に示すように、シフトレジスタ10から出力されるサンプリング信号 $SP_2$ 、 $SP_3$ にはオーバーラップは存在せず、たとえ、存在したとしても、非常に小さいものである。

【0032】ところが、レベル変換回路11<sub>1</sub>~11<sub>4</sub>は、論理レベル、例えば、5[V]のサンプリング信号 $SP_1 \sim SP_4$ を高電圧、例えば、12[V]のサンプリング信号 $SL_1 \sim SL_4$ に変換するものであるため、動作速度に大きなバラツキが生じてしまう。

【0033】そこで、例えば、図8(C)に示すように、レベル変換回路11<sub>2</sub>の動作速度がレベル変換回路11<sub>1</sub>、11<sub>3</sub>、11<sub>4</sub>の動作速度よりも時間 $\Delta t$ だけ遅いと、レベル変換回路11<sub>2</sub>、11<sub>3</sub>から出力されるサンプリング信号 $SL_2$ 、 $SL_3$ は、図8(C)、(D)に示すように、時間 $\Delta t$ だけ、オーバーラップしてしまう。

【0034】ここに、サンプリング信号 $SL_2 = 'H'$ (12[V])となり、アナログ・スイッチ14<sub>2</sub>=ONとされた場合に、コンデンサ16<sub>2</sub>に流れ込む充電電流 $I_2$ は、図8(G)に示すようになる。

【0035】また、サンプリング信号 $SL_3 = 'H'$ (12[V])となり、アナログ・スイッチ14<sub>3</sub>=ONとされた場合に、コンデンサ16<sub>3</sub>に流れ込む充電電

(4)

特開平 6-222739

5

流 $I_3$ は、図8(H)に示すようになる。

【0036】ところで、この例のように、アナログ・スイッチ $14_2=OFF$ となる前に、アナログ・スイッチ $14_3=ON$ となると、信号線23のライン抵抗24に電流 $I_3$ による電圧降下が生じてしまう。

【0037】このため、アナログ・スイッチ $14_2=OFF$ となる時点のノード26の信号電圧 $V_{A2}$ は、図8(I)に示すように、例えば、 $\Delta V$ だけ低下し、コンデンサ16<sub>2</sub>のホールド電圧が正しい値よりも $\Delta V$ だけ低い値となってしまふ。

【0038】ここに、前述のように、レベル変換回路11<sub>1</sub>~11<sub>4</sub>は、論理レベル、例えば、5[V]のサンプリング信号 $SP_1 \sim SP_4$ を高電圧、例えば、12[V]のサンプリング信号 $SL_1 \sim SL_4$ に変換するものであるため、動作速度のバラツキを影響がない程度にまで小さくすることは、技術的に極めて困難なことである。

【0039】そこでまた、従来、図10にその要部を示すような液晶表示装置が提案されている。この液晶表示装置は、シフトレジスタ10とレベル変換回路11<sub>1</sub>~11<sub>4</sub>との間に、ゲート回路として、AND回路27<sub>1</sub>~27<sub>4</sub>を設け、これらAND回路27<sub>1</sub>~27<sub>4</sub>に対し、図11(E)に示すようなイネーブル信号 $EN$ を供給するように構成し、その他については、図6に示す液晶表示装置と同様に構成したものである。

【0040】なお、イネーブル信号 $EN$ は、図11(A)~(E)に示すように、サンプリング信号 $SP_1 \sim SP_4$ のそれぞれに対応して供給されるものであり、そのパルス幅をサンプリング信号 $SP_1 \sim SP_4$ のパルス幅よりも短かくし、所定の時間間隔 $\Delta T (> \Delta t)$ を有するものである。

【0041】この液晶表示装置においては、AND回路27<sub>1</sub>~27<sub>4</sub>の出力側には、図11(F)~(I)に示すように、イネーブル信号 $EN$ と同一のパルス幅を有し、かつ、所定の時間間隔 $\Delta T$ を有する論理レベルのサンプリング信号 $SQ_1 \sim SQ_4$ を得ることができる。

【0042】この結果、レベル変換回路11<sub>1</sub>~11<sub>4</sub>の出力側には、図11(J)~(M)に示すように、イネーブル信号 $EN$ と同一のパルス幅を有し、かつ、所定の時間間隔 $\Delta T$ を有する高電圧のサンプリング信号 $SL_1 \sim SL_4$ を得ることができる。

【0043】したがって、例えば、レベル変換回路11<sub>2</sub>の動作速度がレベル変換回路11<sub>1</sub>、11<sub>3</sub>、11<sub>4</sub>の動作速度よりも $\Delta t$ 遅い場合であっても、サンプリング信号 $SL_2$ 、 $SL_3$ がオーバーラップすることを回避することができる。

【0044】しかし、この液晶表示装置においては、サンプル・ホールド回路12<sub>1</sub>~12<sub>4</sub>におけるサンプリング時間は、イネーブル信号 $EN$ のパルス幅により制限されてしまい、コンデンサ16<sub>1</sub>~16<sub>4</sub>に対する充電時間が不足してしまうという問題点があった。

6

【0045】本発明は、かかる点に鑑み、液晶表示パネルの画素電極に誤差の少ない階調電圧を供給し、高品質の画像表示を行うことができるようにした液晶表示装置を提供することを目的とする。

【0046】

【課題を解決するための手段】図1は本発明による液晶表示装置の原理説明図であり、図中、28<sub>1</sub>、28<sub>2</sub>、28<sub>3</sub>、28<sub>4</sub>...28<sub>2n-1</sub>、28<sub>2n</sub>は、アナログ映像信号に対して順番にサンプル・ホールド動作を行い、1水平走査期間ごとに1ライン分の階調電圧を得るようにされたサンプル・ホールド回路である。

【0047】また、29はサンプル・ホールド回路28<sub>1</sub>、28<sub>2</sub>...28<sub>2n</sub>のうち、奇数番目にサンプル・ホールド動作を行うサンプル・ホールド回路28<sub>1</sub>、28<sub>3</sub>...28<sub>2n-1</sub>にアナログ映像信号を供給する信号線である。

【0048】また、30はサンプル・ホールド回路28<sub>1</sub>、28<sub>2</sub>...28<sub>2n</sub>のうち、偶数番目にサンプル・ホールド動作を行うサンプル・ホールド回路28<sub>2</sub>、28<sub>4</sub>...28<sub>2n</sub>にアナログ映像信号を供給する信号線である。

【0049】即ち、本発明による液晶表示装置は、アナログ映像信号に対して順番にサンプル・ホールド動作を行い、1水平走査期間ごとに1ライン分の階調電圧を得るようにされたサンプル・ホールド回路28<sub>1</sub>、28<sub>2</sub>...28<sub>2n</sub>を備えて構成される液晶表示装置を改良するものであり、奇数番目にサンプル・ホールド動作を行うサンプル・ホールド回路28<sub>1</sub>、28<sub>3</sub>...28<sub>2n-1</sub>には信号線29を介してアナログ映像信号を供給し、偶数番目にサンプル・ホールド動作を行うサンプル・ホールド回路28<sub>2</sub>、28<sub>4</sub>...28<sub>2n</sub>には信号線30を介してアナログ映像信号を供給するというものである。

【0050】

【作用】本発明では、奇数番目にサンプル・ホールド動作を行うサンプル・ホールド回路28<sub>1</sub>、28<sub>3</sub>...28<sub>2n-1</sub>には信号線29を介してホールド電圧に対応した充電電流が流れ込み、偶数番目にサンプル・ホールド動作を行うサンプル・ホールド回路28<sub>2</sub>、28<sub>4</sub>...28<sub>2n</sub>には信号線30を介してホールド電圧に対応した充電電流が流れ込む。

【0051】この結果、先行してサンプル・ホールド動作を行うサンプル・ホールド回路の動作速度が、後行してサンプル・ホールド動作を行うサンプル・ホールド回路の動作速度よりも遅い場合であっても、後行してサンプル・ホールド動作を行うサンプル・ホールド回路のサンプル・ホールド動作が、先行してサンプル・ホールド動作を行うサンプル・ホールド回路のホールド電圧に与える影響を全面的ないし殆どなくすることができる。

【0052】したがって、サンプル・ホールド回路28<sub>1</sub>、28<sub>2</sub>...28<sub>2n</sub>の動作速度にバラツキがある場合

50

(5)

特開平 6-222739

7

であっても、液晶表示パネルの画素電極に誤差の少ない階調電圧を供給することができる。

【0053】

【実施例】以下、図2～図5を参照して本発明による液晶表示装置の第1実施例及び第2実施例について説明する。なお、図2～図5において、図6に対応する部分には同一符号を付し、その重複説明は省略する。

【0054】第1実施例・図2、図3

図2は本発明の第1実施例の要部を示す回路図であり、この第1実施例の液晶表示装置においては、増幅回路8の出力側に、2本の信号線31、32が設けられている。

【0055】そして、サンプル・ホールド回路121、123には、増幅回路8から出力されるアナログ映像信号VGAが信号線31を介して供給され、サンプル・ホールド回路122、124には、増幅回路8から出力されるアナログ映像信号VGAが信号線32を介して供給されるように構成され、その他については、図6に示す従来の液晶表示装置と同様に構成されている。なお、33は映像信号源である。

【0056】この第1実施例の液晶表示装置では、図3に示すように、サンプル・ホールド回路121、123のコンデンサ161、163に流れ込む充電電流I<sub>1</sub>、I<sub>3</sub>は増幅回路8から信号線31を介して供給され、サンプル・ホールド回路122、124のコンデンサ162、164に流れ込む充電電流I<sub>2</sub>、I<sub>4</sub>は増幅回路8から信号線32を介して供給される。

【0057】この結果、例えば、コンデンサ163に充電電流I<sub>3</sub>が流れ込む場合には、信号線31のライン抵抗34に電圧降下が発生し、コンデンサ164に充電電流I<sub>4</sub>が流れ込む場合には、信号線32のライン抵抗35に電圧降下が発生することになる。

【0058】そこで、例えば、レベル変換回路112の動作速度が遅く、サンプリング信号SL<sub>2</sub>、SL<sub>3</sub>がオーバーラップしてしまう場合であっても、増幅回路8の出力抵抗が小さい場合には、サンプル・ホールド回路123のサンプル・ホールド動作がノード36の電圧に影響を与えることはない。したがって、コンデンサ162に正しい電圧をホールドすることができる。

【0059】即ち、第1実施例においては、先行してサンプル・ホールド動作を行うサンプル・ホールド回路の動作速度が、後行してサンプル・ホールド動作を行うサンプル・ホールド回路の動作速度よりも遅い場合であっても、増幅回路8の出力抵抗が小さい場合には、後行してサンプル・ホールド動作を行うサンプル・ホールド回路のサンプル・ホールド動作が、先行してサンプル・ホールド動作を行うサンプル・ホールド回路のホールド電圧に与える影響をなくすることができる。

【0060】したがって、この第1実施例によれば、サンプル・ホールド回路121～124の動作速度にバラツ

8

キがある場合においても、増幅回路8の出力抵抗が小さい場合には、液晶表示パネル1の画素電極411～444に誤差の少ない階調電圧を供給し、高品質の画像表示を行うことができる。

【0061】しかし、この第1実施例においては、増幅回路8の出力抵抗が大きい場合において、例えば、レベル変換回路112の動作速度が遅く、サンプリング信号SL<sub>2</sub>、SL<sub>3</sub>がオーバーラップしてしまう場合には、サンプル・ホールド回路123のサンプル・ホールド動作は、ノード36の電圧に影響を与えてしまい、コンデンサ162に正しい電圧をホールドすることができなくなる。この点を改良した液晶表示装置が、次に説明する第2実施例の液晶表示装置である。

【0062】第2実施例・図4、図5

図4は本発明の第2実施例の要部を示す回路図であり、この第2実施例の液晶表示装置においては、映像信号源33の出力側に同一の増幅率を有する増幅回路8、37が設けられている。

【0063】そして、サンプル・ホールド回路121、123には、増幅回路8から出力されるアナログ映像信号VGAが信号線31を介して供給され、サンプル・ホールド回路122、124には、増幅回路37から出力されるアナログ映像信号VGAが信号線32を介して供給されるように構成され、その他については、図6に示す従来の液晶表示装置と同様に構成されている。

【0064】この第2実施例の液晶表示装置では、図5に示すように、サンプル・ホールド回路121、123のコンデンサ161、163に流れ込む充電電流I<sub>1</sub>、I<sub>3</sub>は増幅回路8から信号線31を介して供給され、サンプル・ホールド回路122、124のコンデンサ162、164に流れ込む充電電流I<sub>2</sub>、I<sub>4</sub>は増幅回路37から信号線32を介して供給される。

【0065】そこで、例えば、レベル変換回路112の動作速度が遅く、サンプリング信号SL<sub>2</sub>、SL<sub>3</sub>がオーバーラップしてしまう場合においても、増幅回路8、37の出力抵抗が大きい場合であっても、サンプル・ホールド回路123のサンプル・ホールド動作が信号線31の電圧に影響を与えることはない。したがって、コンデンサ162に正しい電圧をホールドすることができる。

【0066】即ち、第2実施例によれば、先行してサンプル・ホールド動作を行うサンプル・ホールド回路の動作速度が、後行してサンプル・ホールド動作を行うサンプル・ホールド回路の動作速度よりも遅く、かつ、増幅回路8、37の出力抵抗が大きい場合においても、後行してサンプル・ホールド動作を行うサンプル・ホールド回路のサンプル・ホールド動作が、先行してサンプル・ホールド動作を行うサンプル・ホールド回路のホールド電圧に与える影響をなくすることができる。

【0067】したがって、この第2実施例によれば、増幅回路8、37の出力抵抗が大きい場合において、サン

(6)

特開平 6-222739

9

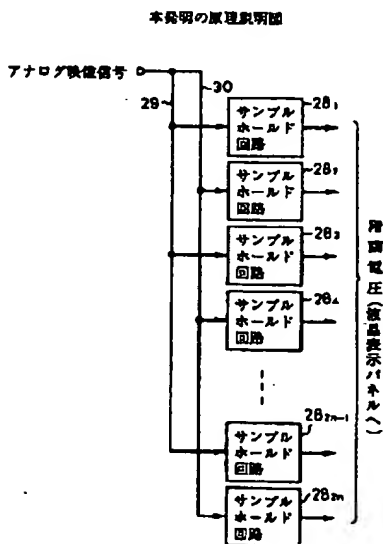
ブル・ホールド回路12<sub>1</sub>~12<sub>4</sub>の動作速度にバラツキがある場合であっても、液晶表示パネル1の画素電極411~444に誤差の少ない階調電圧を供給し、高品質の画像表示を行うことができる。

【0068】

【発明の効果】 以上のように、本発明によれば、アナログ映像信号に対して順番にサンプル・ホールド動作を行い、1水平走査期間ごとに1ライン分の階調電圧を得るようにされた複数のサンプル・ホールド回路のうち、奇数番目にサンプル・ホールド動作を行うサンプル・ホールド回路には、第1の信号線を介してアナログ映像信号を供給し、偶数番目にサンプル・ホールド動作を行うサンプル・ホールド回路には、第2の信号線を介してアナログ映像信号を供給するという構成を採用したことにより、先行してサンプル・ホールド動作を行うサンプル・ホールド回路の動作速度が、後行してサンプル・ホールド動作を行うサンプル・ホールド回路の動作速度よりも遅い場合であっても、後行してサンプル・ホールド動作を行うサンプル・ホールド回路のサンプル・ホールド動作が、先行してサンプル・ホールド動作を行うサンプル・ホールド回路のホールド電圧に与える影響を全面的ないし殆どなくすることができるので、液晶表示パネルの画素電極に誤差の少ない階調電圧を供給し、高品質の画像表示を行うことができる。

【図面の簡単な説明】

【図1】



10

【図1】 本発明の原理説明図である。

【図2】 本発明の第1実施例の要部を示す回路図である。

【図3】 本発明の第1実施例の動作を説明するための回路図である。

【図4】 本発明の第2実施例の要部を示す回路図である。

【図5】 本発明の第2実施例の動作を説明するための回路図である。

10 【図6】 従来の液晶表示装置の一例の要部を示す回路図である。

【図7】 図6に示す従来の液晶表示装置を構成する液晶表示パネルの構成を概略的に示す図である。

【図8】 図6に示す従来の液晶表示装置が有する問題点を具体的に説明するための波形図である。

【図9】 図6に示す従来の液晶表示装置が有する問題点を具体的に説明するための回路図である。

【図10】 従来の液晶表示装置の他の例の要部を示す回路図である。

20 【図11】 図10に示す従来の液晶表示装置の動作を示す波形図である。

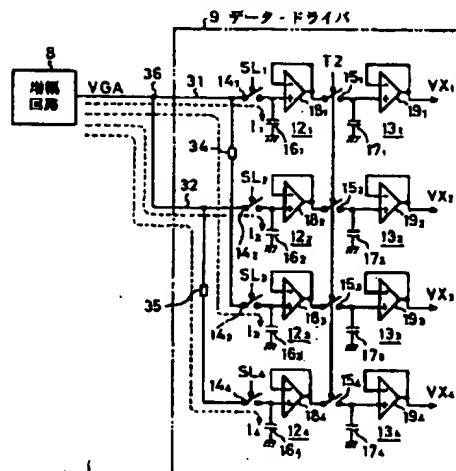
【符号の説明】

28<sub>1</sub>、28<sub>2</sub>、28<sub>3</sub>、28<sub>4</sub>、28<sub>2n-1</sub>、28<sub>2n</sub> サンプル・ホールド回路

29、30 信号線

【図3】

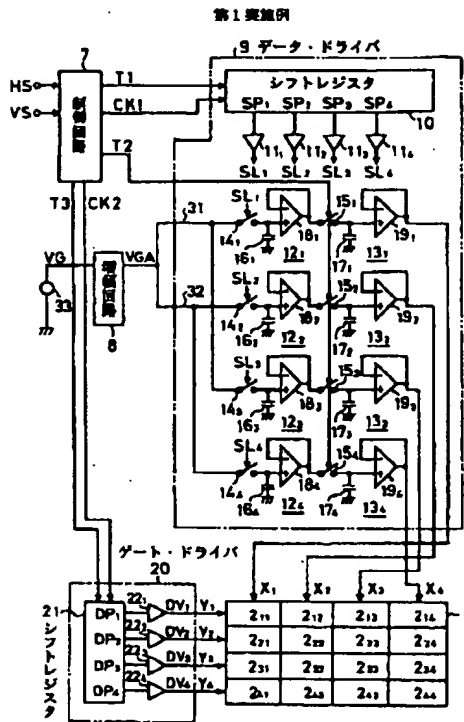
第1実施例の動作を説明するための回路図



(7)

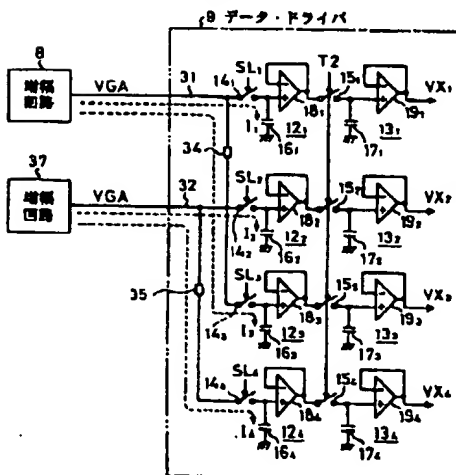
特開平 6-222739

【図2】

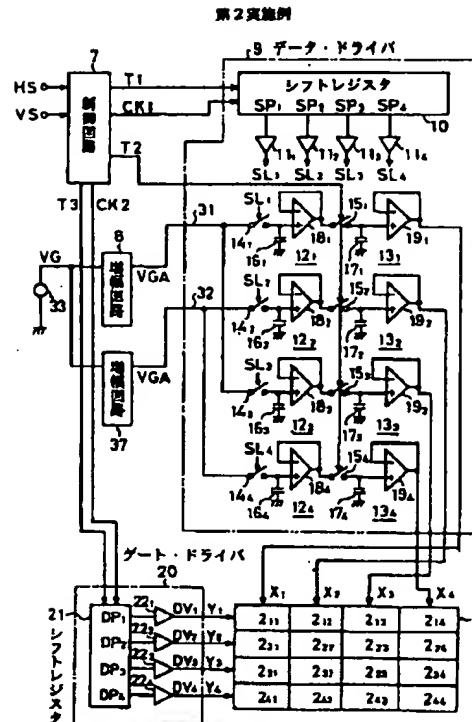


【図5】

第2実施例の動作を説明するための回路図

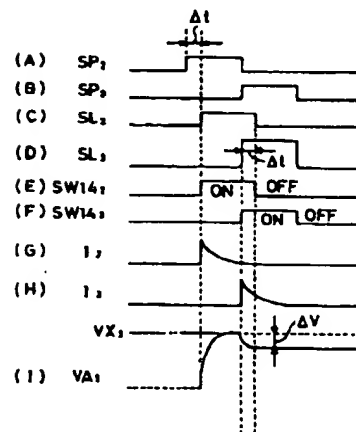


【図4】



【図8】

図6に示す従来の極品表示装置が有する問題点を具体的に説明するための波形図

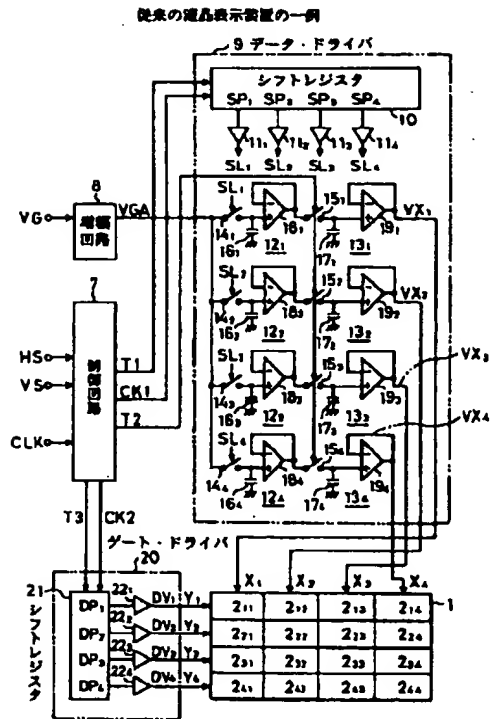




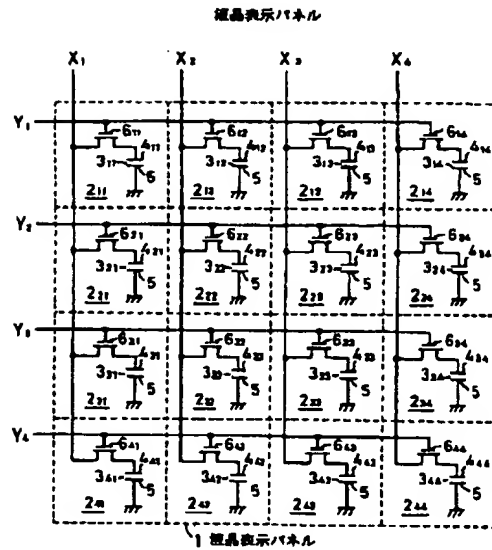
(8)

特開平 6-222739

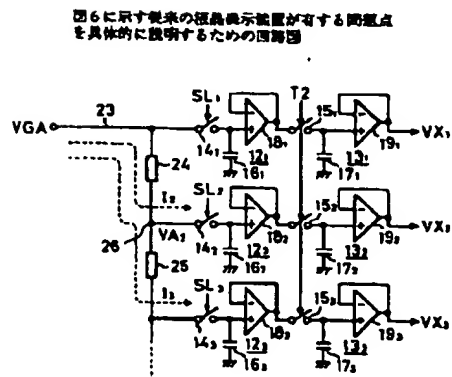
【図6】



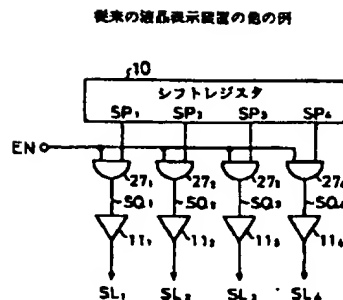
【図7】



【図9】



【図10】



(9)

特開平 6-222739

【図11】

図10に示す従来の液晶表示装置の動作を示す波形図

